METHOD OF MANUFACTURING EPITAXIAL WAFER

B22

Patent Number:

JP7240372

Publication date:

1995-09-12

Inventor(s):

HOSOKAWA YASUO; others: 02

Applicant(s)::

SHOWA DENKO KK

Requested Patent:

JP7240372

Application

Number:

JP19940031578 19940301

Priority Number(s):

IPC Classification:

H01L21/20; C30B25/18; C30B29/40; H01L21/304; H01L33/00

EC Classification:

Equivalents:

Abstract

PURPOSE:To manufacture an LED comprising DH structured parts having excellent crystallizability resultantly in high brightness by a method wherein, after growing a buffer layer having the same lattice crystal as that of an active layer on a substrate, the buffer layer surface is polished and then the active layer is to be epitaxially grown again. CONSTITUTION:Firstly, a GaP buffer layer 7 is crystal grown at 730 deg.C to be n type doped with Se as a dopant. Successively, a GalnP the first stage lower clad layer 6 in the same composition as that of the lower clad layer 5 of the DH structured parts is grown to be doped with Se as the dopant in the same degree as that of the GaP buffer layer 7. At this time, the crystal growing step in the first stage is stopped to pick up a wafer to be polished by ordinary polishing machine for a GaAs substrate and then the DH structured parts are crystal grown by MOVPE device. Through these procedures, an LED comprising DH structured parts having excellent crystallizability resultantly in high brightness can be manufactured.

Data supplied from the esp@cenet database - 12

(19) 日本国特許 (JP) (12) 公開特許公報 (A)

(11)特許出顧公開番号

特開平7-240372

(43)公開日 平成7年(1995)9月12日

技術表示簡	FΙ	庁内整理番号		記号	識別	(51) Int Cl.*		
		8418-4M				21/20	H01L C30B	
			н			25/18 29/40		
		8216-4G			5 0			
			Z		3 2	21/304	H01L	
			В			33/00		
未請求 請求項の数6 〇L (全 5 頁)	家查請求							
000002004	(71)出題人		3	1578	₩平6−3	}	(21) 出顧書	
昭和電工株式会社	7.1							
東京都港区芝大門1丁目13番9号		1日	3月	994)	成6年(1		(22)出顧日	
罐川 泰男	(72) 発明者							
埼玉県秩父市大学下影森1505番地 昭和電								
工株式会社秩父研究所内								
坂口 秦之	(72)発明者							
埼玉県秩父市大字下影森1505番地 昭和電工株式会社秩父研究所内								
		-						
田中利幸	(72)発明者							
埼玉県秩父市大字下影森1505番地 昭和電 工株式会社秩父研究所内								
弁理士 寺田 實	(74)代理人							

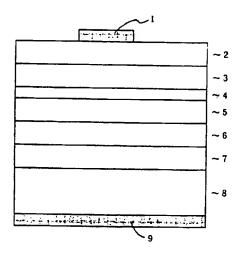
(54) 【発明の名称】 エピタキシャルウェーハの製造方法

(57)【要約】

【目的】 GaP基板上に結晶性の良好なAlGaIn P系DH構造を有するエピタキシャルウェーハと当該ウ ェーハを使用した高輝度のLEDを提供すること。

【構成】 GaP基板上に格子定数の異なるAlGaI n Pエピタキシャル層のパッファ層を成長した後、その 当該表面をポリッシュし、再度結晶成長することで結晶 性の良好なDH構造を作製する。

【効果】 バッファ層成長後にその当該表面をポリッシ ュすることで、再度結晶成長する場合の成長初期で格子 ミスマッチの影響が低減された良好な結晶が得られる。 当該エピタキシャルウェーハを用いて作製したLEDに ついては従来構造より高輝度のものが得られる。



【特許請求の範囲】

【請求項1】 III-V族化合物半導体基板上に基板と 異なる格子定数を有する III-V族化合物半導体の能動 層構造を有するエピタキシャルウェーハの製造方法にお いて、基板上に能動層と同じ格子定数を有するバッファ 層を成長させた後に、当該バッファ層表面をポリッシュ し、その後再度能動層のエピタキシャル成長を行うこと を特徴とするエピタキシャルウェーハの製造方法。

【請求項2】 III-V族化合物半導体基板上に基板と 異なる格子定数を有する III-V族化合物半導体の能動 10 層構造を有するエピタキシャルウェーハの製造方法にお いて、基板上に基板の格子定数から能動層の格子定数ま で格子定数が連続的に変化する組成勾配層を成長させた 後に、能動層と同じ格子定数を有するバッファ層を成長 させ、当該バッファ層表面をポリッシュし、その後再度 能動層のエピタキシャル成長を行うことを特徴とするエ ピタキシャルウェーハの製造方法。

【請求項3】 半導体基板がGaPからなり、能動層構 造部分がAlGalnPのクラッド層、及びAlGal n PまたはGaIn Pの活性層のダブルヘテロ構造から 20 なることを特徴とする請求項1または2記載の半導体工 ピタキシャルウェーハの製造方法。

【請求項4】 半導体基板がGaAsからなり、能動層 構造部分がA1GaInPのクラッド層と、基板と格子 定数の異なるAlGaInPまたはGaInPの活性層 とのダブルヘテロ構造からなることを特徴とする請求項 1及び2記載の半導体エピタキシャルウェーハの製造方

【請求項5】 半導体基板がGaAsからなり、能動層 構造部分がGaAsPのシングルヘテロ構造からなるこ 30 とを特徴とする請求項1及び2記載の半導体エピタキシ ャルウェーハの製造方法。

【請求項6】 請求項1~5記載のエピタキシャルウェ -ハを使用して作製した発光ダイオード。

【発明の詳細な説明】

[0001]

【産業上の利用分野】本発明は、エピタキシャル成長方 法によるウェーハに係り、特に格子ミスマッチのあるへ テロ接合を有するエピタキシャルウェーハ、及び当該ウ ェーハを使用して作製した発光ダイオードに関するもの 40 や、格子定数の異なる層を成長する前に特別なバッファ である。

[0002]

【従来の技術】近年、半導体基板上に基板の格子定数と 異なる格子定数を有する能動層をエピタキシャル成長さ せて各種デバイスを作製する技術が注目されている。こ*

格子ミスマッチ度=(エピタキシャル層の格子定数-基板の格子定数)×100

/(基板の格子定数)・・・(1)

【0006】ただし、組成勾配層や特別な成長条件のバ ッファ層を具備するだけでは格子定数の異なるDH構造 部分の結晶性を向上することは現実には難しい。

*の格子不整合系の材料として、可視光領域の発光ダイオ ード(LED)やレーザーダイオード(LD)用の材料 として利用される(Alx Gal-x) y Inl-y P(O $\leq X \leq 1$, $0 \leq Y \leq 1$) がある。この材料系では特にG aAs基板上に当該材料を使用したDH構造を有するL ED、LDとしての応用が盛んに行われている(特開平 2-257677参照)。図3にGaAs基板を使用し た場合のウェーハ構造を示す。この場合、GaAs基板 と (Alx Gal-x) 0.51 I no.49 Pエピタキシャル層 との間に格子定数の差はなく(格子整合系)、良質なエ ピタキシャルウェーハが得られている。一方、GaAs 基板を使用することで、(Alx Gai-x)y Ini-y PのDH構造部分で発光した光のうち、基板側に放出さ れるものはGaAs基板で吸収されてしまうために、表 面側に取り出すことができず発光効率が上がらないとい う欠点がある。そこで、基板による光の吸収を低減し発 光効率を高める目的で、発光した可視光に対して透明な GaPを基板として使用した研究も行われるようになっ た。しかし、基板としてGaPを使用した場合には、G a P基板と(A l x G a 1-x) y I n 1-y Pとの間に格 子定数の差(格子ミスマッチ)があるために、(Alx Gal-X) y Inl-y Pエピタキシャル層の結晶性が劣・ 化することが問題となっていた。

【0003】また、別の例として、GaAs基板を使用 し、構成整合させないでy≠0. 51である (Alx G a1-x) y In1-y P系の材料を用いて短波長の可視光 LEDを作製するものや、GaAs基板上にO<y<1 であるGaAsy P1-٧ 系材料を能動層として作製する 可視光LED等がある。

【0004】ここで、この格子定数の差については、L EDを作製した時の発光波長が590nm前後の黄色~ 橙色の発光になるような組成のG a 0.65 I n 0.35 P活性 層をエピタキシャル成長させる場合に、その格子ミスマ ッチ度が約2. 7%となる。従来、この格子ミスマッチ による結晶性の劣化を緩和するために、GaP基板の格 子定数から所定の組成の(Alx Gaj-x)y Inj-y Pの格子定数まで連続的に格子定数を変化させるエピタ キシャル層(格子定数変化層あるいは組成勾配層と称 す) を挿入すること (特開平3-203316参照)

層を挿入すること (Appl. Phys. Lett. 5 3 (5). 1988参照) が行われてきた。

【0005】ここで、格子ミスマッチ度とは、下記 (1)式で定義される。

[0007]

【発明が解決しようとする課題】発光した可視光に対し 50 て透明なGaP基板を使用する場合や、GaAs基板を

10

利用して格子定数の異なる発光層を用いる場合に、従来 行われてきたような組成勾配層を挿入したり、特別な成 長条件のバッファ層を挿入するだけでは、格子定数が基 板と異なり、表面状態が良好で、且つ結晶性の良好なD H構造部分を成長することは難しい。格子ミスマッチが ある場合は、周辺部と組成が異なり成長速度も早くなる ため、ヒロックと呼ばれる盛り上がった突起物が島状に 分布する結晶表面となる。また、そのようなエピタキシャルウェーハを用いた場合には、高輝度のLEDがまだ 得られていない。

[0008]

【課題を解決するための手段】そこで、組成勾配層あるいはバッファ層を成長した後にその当該表面をポリッシュして平坦にすることにより、格子ミスマッチが原因で発生した転位や欠陥。表面の凹凸がその後の結晶成長層に影響しないようにして、結晶性の良好なDH構造部分ひいては高輝度のLEDを作製することが本発明の目的である。

【0009】GaP基板上には、先ず基板の結晶欠陥の 影響を低減するため、GaPのバッファ層をエピタキシ 20 ャル成長させる。結晶成長方法は通常MOVPE法に依 るのが一般的である。その上には、本発明で目的として いる590~610nmで発光するような組成に調整し た活性層 (Alx Ga_{1-x}) y In_{1-y} P (0. 18≦ X≦0.30、Y=0.51) に適合したクラッド層組 成と同組成のバッファ層(Alx Gal-x)y Inl-y P(X≥0.70、Y=0.51)を成長する。この層 の格子定数はG a P基板の格子定数と異なり、約2.7 %の格子ミスマッチが存在する。また、このような格子 定数の異なるバッファ層を成長する前に組成勾配層を挿 入し、格子定数を徐々に変化させて約2.7%の格子ミ スマッチのある層を最終的に成長しても良い。この格子 ミスマッチの影響を緩和するため、当該バッファ層表面 をポリッシュする。ポリッシュする厚さはバッファ層の 1/2~2/3を目安とすれば良い。結晶表面のポリッ シュは通常の基板表面をポリッシュするのと同じポリッ シングマシーンで行う。例えばバッファ層は3μm程度 成長させておき、ポリッシュにより約2μm削って残り 膜厚を1μm程度とする。 ポリッシュした後再度MOV PE装置に導入して、能動層構造部分の結晶成長を行

 ントとして p型にドーピングする。キャリア濃度は $5 \times 10^{17} \, \mathrm{cm}^{-3}$ 程度である。次に上部クラッド層を成長させる。組成は下部クラッド層と同じであるが、DE $2 \, \mathrm{n}$ をドーパントとして p型にドーピングする。キャリア濃度は $5 \times 10^{17} \, \mathrm{cm}^{-3}$ 程度である。 膜厚は下部クラッド層と同じ $2 \, \mathrm{\mu}$ m程度である。 こうして得られた DH 構造部分の上にコンタクト層として活性層と同組成の $GaInPext{n}$ Pを成長させる。この層も上部クラッド層と同程度に p型にドーピングし、膜厚は $0.5 \, \mathrm{\mu}$ m程度である。 【 0011】このようにして作製したエピタキシャルウ

エーハを使用してLEDを作製する場合、発光部分であるDH構造部分の結晶性が格子ミスマッチの影響があるにもかかわらず如何に良好であるかが重要となる。従って、本発明のようにバッファ層成長後にその表面を一旦ポリッシュすると、格子ミスマッチの影響で島状成長した表面の凹凸部分が平坦になり、また発生した結晶欠陥をその後の層に伝播し難くするため、結晶性の良好なDH構造部分のエピタキシャル成長が可能となる。その結果従来得られていた格子不整合系のLEDよりも高輝度が得られる。

[0012]

【作用】本発明は可視光に対して透明なGaP基板上に、格子ミスマッチのある(Alx Gal-x)yIn 1-y Pのバッファ層あるいは組成勾配層を成長した後に、当該表面をポリッシュし、表面を平坦にした後再度エピタキシャル成長することにより格子ミスマッチの影響を排除し、結晶性の良好な能動層構造を得るものである。また、このようなエピタキシャルウェーハを使用すれば、従来より高輝度のLEDを得ることができる。また、本発明は基板としてGaAsを使用した場合に、GaAsP系のエピタキシャル成長をする場合、AlGaInP系DH構造をエピタキシャル成長する場合にも同様の効果が得られる。

[0013]

【実施例】次に本発明の実施例を組成勾配層の有無の二つの場合についてそれぞれ詳細に説明する。今回はGaP基板上にGaInPを活性層とするDH構造のエピタキシャルウェーハを作製した。使用したGaP基板は、Sをドープしたn型基板である。本実施例では、MOVPE法により減圧下にて結晶成長を行った。使用した原料ガスはTMA、TMG、TMI、PH3(100%ガス)であり、キャリアガスとして超高純度のH2ガスを使用した。

【0014】(実施例1) 先ず、組成勾配層のない場合についての実施例を示す。ウェーハの断面構造を図1に示す。結晶成長は先ず730℃にてGaPバッファ層7を0. 5μ m成長させた。この時Seをドーパントとして使用しn型のドーピングを行った。続いてDH構造部分の下部クラッド層5と同組成である($A1_{0.2}$ Ga $0.8)0.65 I <math>n_{0.35}$ P第一段下部クラッド層6を約3 μ

m成長させた。この層もSeeドーパントとしてGaP パッファ層7と同じく 1×10^{18} c m^{-3} 程度にドーピングした。この組成での格子定数はGaPの格子定数より大きく、その格子ミスマッチ度は約2.7%である。従って、この層を 3μ m成長した後の表面状態は悪く、ヒロックと呼ばれる周辺部と組成が異なり且つ島状成長により周辺より成長速度が速いために盛り上がった突起物が多く存在した。このヒロックの大きさは、 3μ mのエピタキシャル成長後で約 $20\times30\mu$ mであり高さは約 6μ mであった。また、ウェーハ面内での密度は約100000~3000000 c m^{-2} であった。

【0015】ここで第一段目の結晶成長を停止し、ウェ 一ハを取り出した。取り出したウェーハをG a A s 基板 をポリッシュする通常のポリッシングマシーンでポリッ シュした。ポリッシュは平滑なガラスまたはセラミック ス定盤に固定し、外径約0.5 μmのSiO2 超微粒子 と次亜塩素酸ナトリウムを主成分とするポリッシュ液を 用いて化学機械的に研磨した。この時、加工ダメージを 小さくするために、加重は50g/cm²程度に抑え た。研磨速度は装置状態により異なるが、装置により適 20 当な値を設定することで、研磨後の表面の凹凸をピーク 値で最大0.002μmに抑えることができる。今回は 研磨速度0.05μm/minで、研磨後の表面粗度は 0. 5 μ m以下であった。研磨量としては、 (A 10.2) Ga0.8) 0.65 I n0.35 P成長層約3 μmの内約2 μm をポリッシュして 1 μ m残した。このウェーハの表面に は所々にヒロックの跡が見られたが、平坦であった。

【0016】再びMOVPE装置にてDH構造部分の結 晶成長を行った。ポリッシュ前に成長させた(A 10.2 Gao.8) 0.65 Ino.35 Pを下部クラッド層 5 として再 30 び1μm成長させた。続いて、Ga0.65 Ino 35 Pの組 成を有する活性層4を1μm成長させた。GaP基板8 と上記活性層4の間の格子ミスマッチ度は、GaP、G a0.65 I n0.35 Pの格子定数が各々5、450オングス トローム、5. 597オングストロームであることよ り、式(1)から2.7%となる。活性層はDEZnを ドーパントとしてp型にドーピングし、そのキャリア遮 度は5×10¹⁷cm⁻³とした。活性層の上部には下部ク ラッド層と同一の組成を有する (Alo.2Gao.8) 0.65 I n 0.35 P を上部クラッド層 3 として 2 μ m 成長さ 40 せた。上部クラッド層3も活性層4と同様DEZnをド ーパントとしてp型にドーピングした。キャリア濃度も 同様に5×10¹⁷cm⁻³とした。また、電極をとりやす くするために、活性層4と同組成のp型Ga0.65 In 0.35P層をコンタクト層2として最後に成長させた。比 較のため同条件で(A 10.2 G a 0.8) 0.65 I n 0.35 P の下部クラッド層5を最初から2μm成長し、ウェーハ 表面のポリッシュをしないで続いて活性層4を成長した 同一構造のエピタキシャルウェーハを作製し、LEDを 作製してその発光特性を比較した。

【0017】作製したLEDは、350×350μmの大きさであり、その特性評価は積分球を使用した輝度測定により行った。発光波長について視感度補正を行った後のそれぞれの基板を使用したLEDの輝度は、従来のウェーハ表面のポリッシュをしない場合で2500ミリカンデラであったのに対して、ウェーハ表面のポリッシュを行った場合では3500ミリカンデラと高輝度であった。尚、測定時の印加電流は20ミリアンペアである。

【0019】組成勾配層16を成長後、連続して(A10.2 Ga0.8)0.65 In0.35 Pの組成を有する下部クラッド層5と同一組成層のn-A1 GaInP第一段下部クラッド層6を3 μ m成長させた。この時点で第一段目の結晶成長を停止し、ウェーハを取り出した。表面状態は実施例1に比べて良好であった。これは組成勾配層16により格子ミスマッチの影響を僅かながら緩和できたためと思われる。この場合のヒロックの大きさは、約10×20 μ mであり、高さは約5 μ mであった。また、ウェーハ面内での密度も約400~500cm-2であり、組成勾配層の無い実施例1より少なかった。取り出したウェーハを実施例1と同様、第一段下部クラッド層6の残り膜厚が1 μ mとなるようにポリッシュし、第二段目の結晶成長を行った。平坦度については、実施例1と同様0.5 μ m以下であった。

【0020】DH構造部分の再成長は実施例1と全く同様の手順で行った。こちらの場合も同条件で作製し、ポリッシュ工程の無いエピタキシャルウェーハとLEDの輝度で比較した。組成勾配層16を挿入したがポリッシュしなかったものについては、2800ミリカンデラであったのに対して、ポリッシュを行い、二段階成長したものでは3700ミリカンデラと高輝度であった。これらの結果は、組成勾配層16を成長後その表面をポリッシュすることにより、格子ミスマッチの影響で発生したヒロックや結晶欠陥の影響をその後の結晶成長に伝播させないことができたためだと思われる。

[0021]

【発明の効果】GaP基板と格子ミスマッチの存在する バッファ層を成長後、一旦その表面をポリッシュした後 に再度DH構造部分の結晶成長を行うことにより、結晶 50 性の良好なDH構造部分が得られ、そのようなエピタキ 7

シャルウェーハを使用してLEDを作製した場合には従来にない高輝度のLEDを得ることができる。

【図面の簡単な説明】

【図1】本発明によるエピタキシャルウェーハの構造の一例を示す図である。

【図2】本発明による組成勾配層を含むエピタキシャルウェーハの構造の一例を示す図である。

【図3】従来のG a A s 基板を使用したエピタキシャルウェーハの構造を示す図である。

【符号の説明】

1 電極

2 p-GaInP コンタクト層

3 p-AlGaInP 上部クラッド層

4 p-GaInP 活性層

5 n-AlGaInP 下部クラッド層

6 n-AlGaInP 第一段下部クラッド層

7 n-GaP バッファ層

8 Sドープ n-GaP基板

9 電極

12 p-GaAs コンタクト層

16 n-AlGaInP 組成勾配層

10 17 n-GaAs バッファ層

18 Siドープ n-GaAs基板

[図1]

【図2】

(図3)

